

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335651

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 29/78

H01L 29/41

(21)Application number : 09-138841

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.05.1997

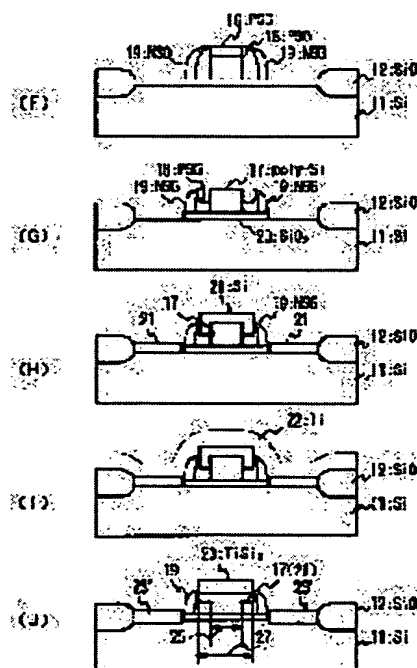
(72)Inventor : HISAWA KAZUYA  
MATSUHASHI HIDEAKI  
KASAI MASANORI

## (54) MOSFET AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a MOSFET which functions as a device of short gate length and is less affected by the resistance of a gate electrode which causes a signal transmission delay.

**SOLUTION:** A polysilicon 17 is deposited on the side of a structure covered with a PSG film 16 and a first PSG side wall 18, and furthermore a structure where a second BSG side wall 19 is provided is formed (F), and an empty space whose width is specified by the second side wall 19 is formed above the polysilicon 17 by etching (G). Then, a silicon 21 is deposited in the empty space to form a structure (H), and then the silicon 21 is turned to silicide, whereby a gate electrode with a silicide 23 whose width is larger than a width (gate length) on a substrate 11 side is formed (J).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] MOSFET to which the direction of the channel lay length by the side of a silicide layer is characterized by being the configuration where the configuration of the cross section of the direction of a source drain of said gate electrode is longer than the channel lay length by the side of a semi-conductor substrate in MOSFET equipped with the gate electrode which has a silicide layer on the surface.

[Claim 2] It is the gate electrode which has a silicide layer on the surface. The direction of the channel lay length by the side of a silicide layer The gate electrode whose channel lay length of the lower part which it is longer than the channel lay length by the side of a semi-conductor substrate, and is a part from a semi-conductor substrate side to predetermined height is about 1 constant value, The 1st sidewall with which said lower side face and its side face of said gate electrode are in contact and whose height is said predetermined height mostly, MOSFET characterized by having the 2nd sidewall to which the side face and side face of said 1st sidewall are in contact with a part of side face of a different part from said lower part of said gate electrode, and the list.

[Claim 3] In the manufacture approach of MOSFET equipped with the gate electrode which has a silicide layer on the surface The structure formation process for gate electrodes which forms the structure for gate electrodes which carried out the laminating of the gate electrode element which consists of gate oxide and silicon on a semi-conductor substrate, The 1st sidewall formation process which forms the 1st sidewall in the side face of the structure for gate electrodes formed with this structure formation process for gate electrodes, The 2nd sidewall formation process which forms the 2nd sidewall with the height higher than the 1st sidewall from said semi-conductor substrate in the side face of the 1st sidewall formed with this 1st sidewall formation process, The manufacture approach of MOSFET containing the silicon deposition process which deposits silicon on the part pinched by the 2nd sidewall formed with this 2nd sidewall formation process, and the silicide formation process which forms silicide in the surface of the silicon deposited at this silicon deposition process.

[Claim 4] In the manufacture approach of MOSFET equipped with the gate electrode which has a silicide layer on the surface The structure formation process for gate electrodes which forms the structure for gate electrodes which carried out the laminating of the 1st ingredient layer which is a layer which consists of a gate electrode element which consists of gate oxide and silicon, and the 1st ingredient on a semi-conductor substrate, The 1st sidewall formation process which forms the 1st sidewall which consists of said 1st ingredient in the side face of the structure for gate electrodes formed with this structure formation process for gate electrodes, The 2nd sidewall formation process which forms the 2nd sidewall which consists of the 2nd different ingredient from said 1st ingredient in the side face of the 1st sidewall formed with this 1st sidewall formation process, On the conditions that the etch rate to said 1st ingredient is quicker than the etch rate to said 2nd ingredient By etching said semi-conductor substrate in which the 2nd sidewall was formed with said 2nd sidewall formation process The removal

process which removes said a part of 1st sidewall in the 1st ingredient layer list prepared on said gate electrode element, The manufacture approach of MOSFET containing the silicon deposition process which deposits silicon on the part from which said 1st ingredient was removed according to this removal process, and the silicide formation process which forms silicide in the surface of the silicon deposited at this silicon deposition process.

[Claim 5] It is the manufacture approach of MOSFET according to claim 4 which said 1st ingredient and said 2nd ingredient are PSG and NSG, respectively, and is characterized by said removal process being a process which etches using a hydrofluoric acid.

[Claim 6] It is the manufacture approach of MOSFET according to claim 5 which said 1st ingredient and said 2nd ingredient are PSG and BSG, respectively, and is characterized by said removal process being a process which etches using a hydrofluoric acid.

[Claim 7] The manufacture approach of MOSFET according to claim 4 to 6 characterized by being the process on which said silicon deposition process deposits silicon on the conditions in which silicon carries out selective growth.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the invention] Especially this invention relates to MOSFET equipped with the gate electrode which has a silicide layer on the surface, and its manufacture approach about the manufacture approach of MOSFET (metal-oxide-semiconductor field effect transistor) and MOSFET.

[0002]

[Description of the Prior Art] In recent years, the signal propagation delay resulting from electrode wiring resistance poses a serious problem by detailed-ization of electrode wiring accompanying high integration of LSI. For this reason, although the gate electrode (called the gate electrode of polycide structure) which consists of polish recon, silicon, and silicide that is a metaled compound is conventionally used in the field of MOSLSI to which especially high integration is progressing, the salicide process which can carry out [ low \*\*\*\* ]-izing of a gate electrode and the source drain field to coincidence attracts attention.

[0003] Hereafter, the outline of the formation procedure of the gate electrode by the conventional salicide process is explained using drawing 6 . When forming silicide by the salicide process, the structure where the component isolation region 32, gate oxide 33, the polish recon 34 for gate electrodes, a sidewall 35, etc. were formed on the semi-conductor substrate 31 which consists of silicon as shown in drawing 6 (A) first is manufactured in the same procedure as the time of not using silicide.

[0004] That is, after the thermal oxidation film is formed on the semi-conductor substrate 31, the silicon nitride (Si<sub>3</sub>N<sub>4</sub>) film is formed by CVD. Subsequently, some silicon nitride films are removed so that silicon nitride may remain only in the field made into an active field with lithography and an etching technique. And after the ion implantation for parasitic transistor formation prevention is performed, wet O diacid-ization of the semi-conductor substrate 31 is performed by using silicon nitride as a mask, and the component isolation region 32 is formed. Then, an oxide film is removed by the silicon nitride film list, and gate oxide 33 is formed on the semi-conductor substrate 31 of thermal oxidation for the second time.

[0005] Subsequently, after the ion implantation for threshold adjustment (channel ion implantation) is performed, a polish recon layer is formed. And to the polish recon layer, etching by patterning and RIE (reactive ion etching) equipment using a resist is performed, and the polish recon 34 used as a gate electrode is formed. Subsequently, the silicon oxide film etc. accumulates all over a substrate by CVD etc. And etchback of the silicon oxide film concerned is carried out by an RIE system etc., and a sidewall 35 is formed. In addition, the ion implantation for forming the source drain field 37 in the semi-conductor substrate 31 also before and after sidewall 35 formation is performed (not shown [ the part which carried out the ion implantation in the source drain field ], since it is easy).

[0006] After the structure shown in drawing 6 (A) is formed in such a procedure, as shown in drawing 6 (B), titanium (Ti) 36 accumulates on the front face of the structure concerned. Then,

the structure which titanium 36 deposited is heat-treated for example, in nitrogen-gas-atmosphere mind, and silicide ( $\text{TiSi}_2$ ) 38 is formed of the silicide-ized reaction of the polish recon 34 and the titanium 36 on it. Under the present circumstances, silicide 38' is also formed on the source drain field 37 of the reaction of the silicon of the source drain field 37, and the titanium 36 on it. Subsequently, the structure ( drawing 6 (C)) of having a source drain field in the gate electrode list which has silicide on the front face is manufactured by removing silicon, the titanium which did not react, and nitrogen and the titanium ( $\text{TiN}$ ) which reacted by wet etching. Then, according to the usual MOSFET production process, an insulator layer, a contact hole, and aluminum wiring are formed, and MOSFET is completed.

[0007] Thus, if this process is used, since silicide can be formed in the part in which silicon exists in self align, without changing the manufacture procedure of the conventional MOSFET a lot, the gate electrode of low resistance can be formed comparatively easily.

[0008] However, if a gate electrode (MOSFET) is manufactured with the procedure mentioned above, as shown in drawing 6 (C), silicide 38 with the thin thickness in both ends will be formed. That is, there was a problem in which a gate electrode with the low rate of the silicide occupied to the total cross section of a gate electrode will be formed.

[0009] In order to solve this problem, in the technique given in JP,7-45823,A, the gate electrode (MOSFET) is manufactured in the procedure as shown in drawing 7 . That is, with this technique, in case the structure equivalent to drawing 6 (A) is formed, dry etching is performed for a long time, and as shown in drawing 7 (A), the structure of having the sidewall 35 with height lower than the polish recon 34 is formed. Subsequently, titanium 36 is deposited on up to the structure concerned as shown in drawing 7 (B). Then, silicide 38 and 38' are formed by heat treatment ( drawing 7 (C)). And by removing unreacted titanium, as shown in drawing 7 (D), the silicide 38 of uniform thickness is formed on the polish recon 34.

[0010]

[Problem(s) to be Solved by the Invention] the case where the silicide-ized metal represented by titanium is only deposited on polish recon according to the technique given in above-mentioned JP,7-45823,A — comparing — low — a gate electrode [ \*\*\*\* ] can be formed. However, since over-etching is needed for manufacture of MOSFET using the technique concerned, the polish recon for gate electrodes will wear the damage by etching. Moreover, the oxide film on a source drain field sleeps together, and the source drain field under the oxide film also becomes wearing the damage by etching. For this reason, even if the gate electrode of low resistance is obtained, it is also considered that the property as the whole device deteriorates.

[0011] Furthermore, it is known that the resistivity of titanium silicide will increase, so that the width of face (it is written as gate length below channel lay length; of the gate electrode shown by the arrow head 39 in drawing 7 (D)) becomes narrow. For example, the gate length dependency of the sheet resistance of titanium silicide as (1994) shown in drawing 8 is reported by Goto's and others paper (IEICE TRANS.ELECTRON., E77-C, and P.480-485). When gate length is 0.5 micrometers or more so that clearly from drawing, the titanium silicide which has the almost same sheet resistance is formed. However, when gate length is made shorter than 0.5 micrometers, the sheet resistance of the titanium silicide formed increases as gate length becomes short, and gate length has become [ the rate of increase ] very large in the field 0.3 micrometers or less especially. In addition, it is thought that such a phenomenon is produced for the following reasons.

[0012] the time of annealing — the inside of titanium silicide — comparatively — high — from C49 phase [ \*\*\*\* ] — low — the phase transition to C54 phase [ \*\*\*\* ] — happening — as the result — low — titanium silicide [ \*\*\*\* ] is formed. However, to the particle size of C49 phase being hundreds of nm, the particle size of C54 phase is large and is usually set to several micrometers from it. For this reason, when gate length is shortened, the phase transition from C49 phase by annealing to C54 phase will be controlled. Furthermore, if gate length becomes small, since the effect of the open circuit by condensation of silicide will also be added, the

sheet resistance of silicide is considered that gate length followed on becoming short and it is increasing.

[0013] Therefore, when the gate electrode which has gate length [ being short (for example, about 0.2 micrometers) ] is formed using the above-mentioned technique, the gate electrode will contain the silicide of comparatively high resistance. That is, short gate length's MOSFET manufactured by the above-mentioned technique will be influenced of the signal propagation delay by the resistance of a gate electrode.

[0014] Then, the technical problem of this invention is for the effect of the signal propagation delay to function as a device which has short gate length, and according to the resistance of a gate electrode moreover to offer few MOSFETs.

[0015] Moreover, other technical problems of this invention are to offer the manufacture approach that such an MOSFET can be manufactured easily.

[0016]

[Means for Solving the Problem] In this invention, in order to solve the above-mentioned technical problem, it faces constituting MOSFET equipped with the gate electrode which has a silicide layer on the surface, and the direction of the channel lay length by the side of a silicide layer adopts the gate electrode of the configuration where the configuration of the cross section of the direction of a source drain is longer than the channel lay length by the side of a semi-conductor substrate.

[0017] It is more specifically the gate electrode which has a (b) silicide layer on the surface. The gate electrode whose channel lay length of the lower part the channel lay length by the side of a silicide layer is longer than the channel lay length by the side of a semi-conductor substrate, and it is [ lower part ] a part from a semi-conductor substrate side to predetermined height is about 1 constant value, The 1st sidewall with which the lower side face and side face of a (b) gate electrode are in contact and whose height is predetermined height mostly, (Ha) MOSFET is constituted using the 2nd sidewall to which the side face and side face of the 1st sidewall are in contact with a part of side face of a different part from the lower part of a gate electrode, and the list.

[0018] If such a configuration is adopted, since the width of face of the part in which silicide is formed independently of gate length can be set up, it will function as a device which has short gate length, and, moreover, the effect of the signal propagation delay by the resistance of a gate electrode can realize few MOSFETs.

[0019] moreover, by the manufacture approach of the 1st MOSFET of this invention In case MOSFET equipped with the gate electrode which has a silicide layer on the surface is manufactured (i) The structure formation process for gate electrodes which forms the structure for gate electrodes which carried out the laminating of the gate electrode element which consists of gate oxide and silicon on a semi-conductor substrate, (ii) The 1st sidewall formation process which forms the 1st sidewall in the side face of the structure for gate electrodes formed with this structure formation process for gate electrodes, The 2nd sidewall formation process which forms the 2nd sidewall with the height higher than the 1st sidewall from a semi-conductor substrate in the side face of the 1st sidewall formed with this 1st sidewall formation process, (iii) (iv) The silicon deposition process which deposits silicon on the part pinched by the 2nd sidewall formed with this 2nd sidewall formation process, and the silicide formation process which forms silicide in the surface of the silicon deposited at this silicon deposition process are used.

[0020] That is, by the manufacture approach of the 1st MOSFET of this invention, the direction of the channel lay length of the side in which silicide is formed forms the polish recon of a configuration longer than the channel lay length by the side of a semi-conductor substrate by dividing and forming the polish recon used as a gate electrode in two steps using two sidewalls. And by forming silicide on the polish recon which has the configuration concerned, it has short gate length and, moreover, the effect of the signal propagation delay by the resistance of a gate electrode obtains few gate electrodes (MOSFET).

[0021] moreover, by the manufacture approach of the 2nd MOSFET of this invention In case MOSFET equipped with the gate electrode which has a silicide layer on the surface is manufactured (a) The structure formation process for gate electrodes which forms the structure for gate electrodes which carried out the laminating of the 1st ingredient layer which is a layer which consists of a gate electrode element which consists of gate oxide and silicon, and the 1st ingredient on a semi-conductor substrate, (b) The 1st sidewall formation process which forms the 1st sidewall which consists of the 1st ingredient in the side face of the structure for gate electrodes formed with this structure formation process for gate electrodes, (c) The 2nd sidewall formation process which forms the 2nd sidewall which consists of the 2nd different ingredient from the 1st ingredient in the side face of the 1st sidewall formed with this 1st sidewall formation process, (d) on the conditions that the etch rate to the 1st ingredient is quicker than the etch rate to the 2nd ingredient By etching the semi-conductor substrate in which the 2nd sidewall was formed with the 2nd sidewall formation process The removal process which removes a part of 1st sidewall in the 1st ingredient layer list prepared on the gate electrode element, (e) — the silicon deposition process which deposits silicon on the part from which the 1st ingredient was removed according to this removal process, and (f) — the silicide formation process which forms silicide in the surface of the silicon deposited at this silicon deposition process is used.

[0022] That is, by the manufacture approach of the 2nd MOSFET of this invention, the 1st sidewall which consists of the 1st ingredient is formed in the side face of the structure for gate electrodes where the 1st ingredient layer was prepared on the gate electrode element which consists of silicon, and the 2nd sidewall which consists of the 2nd ingredient is further formed in the side face of the 1st sidewall. And a part of 1st ingredient layer prepared in the upper part of a gate electrode element and 1st sidewall are removed by etching the semi-conductor substrate with which the 2nd sidewall etc. was formed on the conditions that the etch rate to the 1st ingredient is quicker than the etch rate to the 2nd ingredient. That is, the space where the width of face is determined as the upper part of a gate electrode element by the 2nd sidewall with width of face wider than a gate electrode element is generated. And by forming silicide on the silicon which deposited and deposited silicon in the space, it has short gate length and, moreover, the effect of the signal propagation delay by the resistance of a gate electrode forms few gate electrodes.

[0023] In addition, if it is the combination from which an etch rate differs as the 1st ingredient and the 2nd ingredient in case MOSFET is manufactured by the manufacture approach of the 2nd MOSFET, the combination of any ingredients can be used. For example, as the 1st ingredient and the 2nd ingredient, PSG and NSG may be used and PSG and BSG may be used as the 1st ingredient and the 2nd ingredient, respectively. In addition, when using these ingredients, the process which etches using a hydrofluoric acid as a removal process can be adopted.

[0024] Moreover, in case the manufacture approach of the 2nd MOSFET is used, it is desirable to adopt the process from which silicon deposits silicon on silicon as a silicon deposition process on the conditions which grow alternatively.

[0025]

[Embodiment of the Invention] Hereafter, based on an example, this invention is explained concretely.

The <1st example> The cross-section structure of MOSFET by the 1st example is shown in drawing 1 . As illustrated, MOSFET of this example is equipped with the gate electrode which consists of silicide 23 and polish recon 24 and in which the width of face 25 by the side of the single crystal silicon substrate 11 has a configuration shorter than the width of face 27 by the side of silicide 23. Moreover, MOSFET is equipped with the 1st sidewall 18 which has the almost same height as the part concerned to which the width of face of the lower part of a gate electrode touched the narrow part. Furthermore, MOSFET equips the 1st sidewall 18 and a list with the 2nd sidewall 19 to which the width of face of the upper part of a gate electrode touched



a part of large part.

[0026] Hereafter, the manufacture procedure of Book MOSFET is explained using drawing 2 and drawing 3. In addition, below, the publication about the impurity doping processing of explanation performed for convenience for formation of a source field, a drain field, etc. or the reduction in resistance of a gate electrode is carried out to omitting.

[0027] In case Book MOSFET is manufactured, as shown in drawing 2 (A), the component isolation region 12 which becomes the single crystal silicon substrate 11 from a silicon oxide ( $\text{SiO}_2$ ), and the silicon oxide layer 13 used as gate oxide are first formed with the procedure already explained using drawing 6. In addition, thickness of the silicon oxide film 13 is set to 10nm in this example.

[0028] Subsequently, as shown in drawing 2 (B), the polish recon (polycrystalline silicon) film 14 and the PSG (phospho-silicateglass) film 15 are formed on the silicon oxide film 13 at component isolation region 12 list. In addition, although especially the formation approach of these film is not limited, in this example, the polish recon film 14 and the PSG film 15 are produced using CVD (chemical vapor deposition). Moreover, the thickness of the polish recon film 14 and the PSG film 15 may be 300nm and 150nm, respectively.

[0029] And by carrying out patterning of the PSG film 15, as shown in drawing 2 (C), the PSG film 16 which has the same width of face 25 as the gate length of the gate electrode to form is formed. In addition, width of face 25 is set to 0.2 micrometers in this example. Subsequently, the polish recon 17 used as the component of a gate electrode is formed by etching the polish recon film 14, using the PSG film 16 as an etching mask (drawing 2 (D)).

[0030] Next, the PSG film used as the 1st sidewall is deposited. Dry etching of this PSG film is carried out using an RIE system, and as shown in drawing 2 (E), the 1st sidewall 18 is formed in the side face of the PSG film 16 and the polish recon 17. In addition, in this example, the 1st sidewall 18 whose width of face 26 is 0.05 micrometers is formed by dry etching with deposition of the PSG film by CVD which made  $\text{SiH}_4$ ,  $\text{PH}_3$ , and oxygen material gas.

[0031] Subsequently, in order to acquire the structure where the 2nd sidewall 19 was formed in the side face of the 1st sidewall 18 as shown in drawing 3 (F), the same processing as having gone [ of formation of the 1st sidewall 18 ] to accumulate is performed using NSG (non-doped silicate glass). That is, the 2nd sidewall 19 is formed by CVD using ozone ( $\text{O}_3$ ) and TEOS (tetra-ethyl-ortho-silicate,  $\text{Si}_4(\text{OCH}_2\text{CH}_3)_4$ ) performing deposition of the NSG film, and carrying out etchback of the deposited NSG film.

[0032] Then, the PSG film is etched by the wet etching which used the hydrofluoric acid (HF) as the etching reagent 1%. As shown in drawing 4, since it is quick compared with NSG, if the etching rate of PSG by HF performs the above-mentioned processing to the structure shown in drawing 3 (F), while the NSG film 19 will be etched slightly, the PSG film 16 on the polish recon 17 and the upper part of the 1st sidewall 18 are etched. Consequently, the structure of having opening is formed in the both sides of the polish recon 17 as shown in drawing 3 (G). Moreover, since the silicon oxide film 13 which is [ on the single crystal silicon substrate 11 ] exposed is also etched, on the single crystal silicon substrate 11, only the silicon oxide film which functions as gate oxide 20 remains.

[0033] Next, selective growth of silicon is performed on the structure shown in drawing 3 (G). Consequently, as shown in drawing 3 (H), the silicon film 21 is formed on the field which silicon had exposed. In addition, single crystal silicon grows on the single crystal silicon substrate 11, and polish recon grows on the polish recon 17.

[0034] Then, on the structure in which the silicon film 21 was formed, as shown in drawing 3 (I), the titanium (Ti) film 22 is produced by sputtering. And 1st short-time annealing (Rapid Thermal Anneal) is performed for 30 seconds at 600–700 degrees C among nitrogen. Of this short-time annealing, the silicon 21 of the single crystal silicon substrate 11 and a gate electrode surface and the titanium film 22 react, and titanium silicide is formed. subsequently, after removing the titanium nitride and unreacted titanium which be generated by short-time annealing using an

ammonia filtered water (water 3, ammonia 1, mixture of the rate of a hydrogen peroxide 1), as showed in drawing 3 (J), the structure equip with the silicide film 23 and 23' on a source drain field be form in a gate electrode and a list by performing 2nd short-time annealing for 10 seconds at 750–850 degrees C among nitrogen.

[0035] Now, the resistance will become remarkably high when silicide with width of face narrower than about 0.3 micrometers is formed, as mentioned above. However, the polish recon for gate electrodes which is contained in the structure shown in drawing 3 (J) and which consists of polish recons 17 and 21 Although gate length 25 the very thing is 0.2 micrometers smaller than 0.3 micrometers the width of face 27 by the side of silicide 23 — comparatively — low — about [ which can form silicide / \*\*\*\* ] — it is  $0.3(= 0.2+0.05 \times 2)$  mum (in this example, as mentioned above, width of face of the 1st sidewall is set to 0.05 micrometers). for this reason, the structure ( drawing 3 (J)) formed by performing deposition and annealing of titanium to the structure concerned — comparatively — low — it will have a gate electrode containing silicide [ \*\*\*\* ] 23.

[0036] If it puts in another way, according to the procedure mentioned above, with the conventional MOSFET structure equipped with the gate electrode which has about 0.2–micrometer gate length, and has low (there is little effect of a signal propagation delay) resistance, for example, MOSFET which was not able to be realized can be obtained easily. In addition, since this manufacture procedure serves as a process which does not need OBAETCHI of the long duration by dry etching, when this manufacture procedure is used, a source drain field does not receive a damage. Moreover, since the PSG film is formed on gate polish recon in case dry etching is performed, a gate electrode does not receive a damage at all.

[0037] The <2nd example> In the 2nd example, MOSFET is manufactured using an ingredient which is different from the 1st example in formation of the 2nd sidewall. Hereafter, the structure of MOSFET of the 2nd example and a manufacture procedure are explained using drawing 5 . In addition, since the procedure until it forms the 1st sidewall is the same as it of the 1st example, explanation is given to omit.

[0038] By this example, the 2nd sidewall 19 is formed after formation of the 1st sidewall (refer to drawing 2 (E)) using BSG (boro–silicate glass) ( drawing 5 (F)). And etching by the hydrofluoric acid (HF) is performed 1% like the 1st example after formation of the 2nd sidewall 19. As shown in drawing 4 , since the etching rate of PSG to HF is higher than that of BSG, the PSG film 16 on the polish recon 17, the upper part of a sidewall 18, etc. are too etched alternatively by this processing, and the structure shown in drawing 6 (G) is formed.

[0039] Therefore, as shown in drawing 6 (H) – (I), MOSFET equipped with the gate electrode which has about 0.2–micrometer gate length, and has low resistance is formed like the 1st example after this by performing selective growth of silicon 21, deposition of the titanium film 22, and silicide–ization by annealing.

[0040] <Modification> Various kinds of deformation is possible for the manufacture procedure shown in each above–mentioned example. For example, the combination of the ingredient which can be used for forming the 1st sidewall and the 2nd sidewall is not restricted to PSG, and NSG, PSG and BSG, and if an ingredient into which the 1st sidewall is etched alternatively is combined, what kind of combination can also be used for it. For example, the 1st sidewall may be formed from BPSG (boro–phospho–silicate glass), and the 2nd sidewall may be formed from NSG or BSG (boro–silicate glass). In addition, a hydrofluoric acid can be used as an etching reagent also in this case. Moreover, the ingredient of the film formed on the polish recon 17 shall be differed from the ingredient of the 1st sidewall.

[0041] Furthermore, structure as shown in drawing 3 (F) may be formed by using a nitride for formation of the 1st sidewall at formation of oxide and the 2nd sidewall, and etching on conditions into which oxide is etched alternatively.

[0042] Moreover, although it becomes complicated [ a production process ], formation of the 2nd sidewall can also be performed using a resist pattern. And although the gate electrode which has

titanium silicide is formed in each example, in order to form the gate electrode which has the silicide of other metals, such as not only titanium but a tungsten (W), molybdenum (Mo), a tantalum (Ta), platinum (Pt), cobalt (Co), nickel (nickel), etc., naturally this technique may be applied. Furthermore, naturally the thickness or the formation approach of each film formed in manufacture of MOSFET are not restricted to the above-mentioned thing.

[0043]

[Effect of the Invention] Since the direction of the channel lay length by the side of a silicide layer has the gate electrode of a configuration longer than the channel lay length by the side of a semi-conductor substrate, MOSFET of this invention has short gate length, and, moreover, functions as a device with little effect of the signal wave delay by the resistance of a gate electrode. Moreover, according to the manufacture approach of MOSFET of this invention, the above MOSFETs can manufacture easily.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335651

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
29/41

識別記号

F I

H 0 1 L 29/78  
29/44

3 0 1 X  
Z

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平9-138841

(22) 出願日 平成9年(1997)5月28日

(71) 出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 氷沢 和也

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 笠井 政範

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 弁理士 遠山 勉 (外2名)

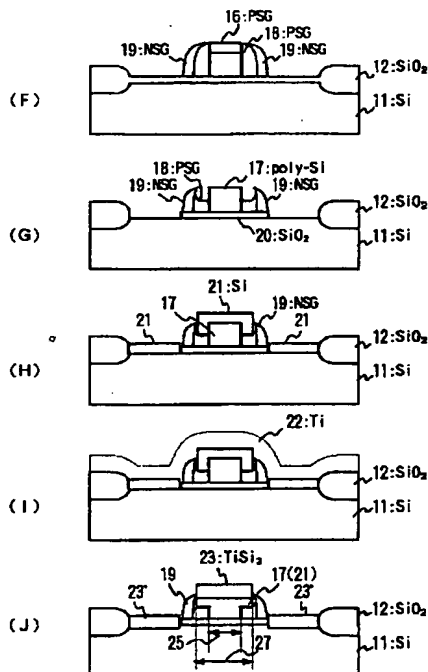
(54) 【発明の名称】 MOSFET及びMOSFETの製造方法

(57) 【要約】

【課題】 短ゲート長のデバイスとして機能し、かつ、ゲート電極の抵抗値による信号伝搬遅延の影響が少ないMOSFETを提供する。

【解決手段】 ポリシリコン17が、PSG膜16とPSGからなる第1サイドウォール18で覆われた構造の側面に、さらに、BSGからなる第2サイドウォール19を設けた構造(F)を形成し、これをエッチングすることによって、ポリシリコン17の上部に、第2サイドウォール19でその幅が規定される空間を形成する

(G)。次いで、その空間内にシリコン21を堆積することによって構造(H)を形成し、そのシリコン21をシリサイド化することによって、基板11側の幅(ゲート長)に比して、幅の広いシリサイド23を有するゲート電極を形成する(J)。



## 【特許請求の範囲】

【請求項 1】 シリサイド層をその表層に有するゲート電極を備えた MOS F E T において、前記ゲート電極の、ソース・ドレイン方向の断面の形状が、シリサイド層側のチャネル方向の長さの方が、半導体基板側のチャネル方向の長さよりも長い形状であることを特徴とする MOS F E T。

【請求項 2】 シリサイド層をその表層に有するゲート電極であって、シリサイド層側のチャネル方向の長さの方が、半導体基板側のチャネル方向の長さよりも長く、かつ、半導体基板側から所定高さまでの部分である下部のチャネル方向の長さがほぼ一定値であるゲート電極と、前記ゲート電極の前記下部側面とその側面が接している、高さがほぼ前記所定高さである第 1 サイドウォールと、前記ゲート電極の前記下部とは異なる部分の側面の一部、並びに、前記第 1 サイドウォールの側面とその側面が接している第 2 サイドウォールとを、備えることを特徴とする MOS F E T。

【請求項 3】 シリサイド層をその表層に有するゲート電極を備えた MOS F E T の製造方法において、半導体基板上に、ゲート酸化膜とシリコンからなるゲート電極要素とを積層したゲート電極用構造を形成するゲート電極用構造形成工程と、このゲート電極用構造形成工程で形成されたゲート電極用構造の側面に、第 1 サイドウォールを形成する第 1 サイドウォール形成工程と、

この第 1 サイドウォール形成工程で形成された第 1 サイドウォールの側面に、第 1 サイドウォールよりも前記半導体基板からの高さが高い第 2 サイドウォールを形成する第 2 サイドウォール形成工程と、

この第 2 サイドウォール形成工程で形成された第 2 サイドウォールで挟まれた部分にシリコンを堆積するシリコン堆積工程と、

このシリコン堆積工程で堆積されたシリコンの表層にシリサイドを形成するシリサイド形成工程とを含む MOS F E T の製造方法。

【請求項 4】 シリサイド層をその表層に有するゲート電極を備えた MOS F E T の製造方法において、半導体基板上に、ゲート酸化膜とシリコンからなるゲート電極要素と第 1 材料からなる層である第 1 材料層とを積層したゲート電極用構造を形成するゲート電極用構造形成工程と、

このゲート電極用構造形成工程で形成されたゲート電極用構造の側面に、前記第 1 材料からなる第 1 サイドウォールを形成する第 1 サイドウォール形成工程と、

この第 1 サイドウォール形成工程で形成された第 1 サイドウォールの側面に、前記第 1 材料とは異なる第 2 材料からなる第 2 サイドウォールを形成する第 2 サイドウォール形成工程と、

前記第 1 材料に対するエッチング速度の方が前記第 2 材料に対するエッチング速度よりも速い条件で、前記第 2 サイドウォール形成工程で第 2 サイドウォールが形成された前記半導体基板をエッチングすることにより、前記ゲート電極要素上に設けられた第 1 材料層並びに前記第 1 サイドウォールの一部を除去する除去工程と、

この除去工程によって前記第 1 材料が除去された部分にシリコンを堆積するシリコン堆積工程と、このシリコン堆積工程で堆積されたシリコンの表層にシリサイドを形成するシリサイド形成工程とを含む MOS F E T の製造方法。

【請求項 5】 前記第 1 材料、前記第 2 材料が、それぞれ、P S G、N S G であり、前記除去工程は、フッ化水素酸を用いてエッチングを行う工程であることを特徴とする請求項 4 記載の MOS F E T の製造方法。

【請求項 6】 前記第 1 材料、前記第 2 材料が、それぞれ、P S G、B S G であり、前記除去工程は、フッ化水素酸を用いてエッチングを行う工程であることを特徴とする請求項 5 記載の MOS F E T の製造方法。

【請求項 7】 前記シリコン堆積工程が、シリコンが選択成長する条件でシリコンを堆積する工程であることを特徴とする請求項 4 ないし請求項 6 のいずれかに記載の MOS F E T の製造方法。

【発明の詳細な説明】  
【0001】  
【発明の属する技術分野】本発明は、MOS F E T (metal-oxide-semiconductor field effect transistor) 及び MOS F E T の製造方法に関し、特に、シリサイド層をその表層に有するゲート電極を備えた MOS F E T、及び、その製造方法に関する。

【0002】

【従来の技術】近年、L S I の高集積化に伴う電極配線の微細化により、電極配線抵抗に起因する信号伝搬遅延が重大な問題となっている。このため、特に高集積化が進んでいる MOS L S I の分野では、従来、ポリシリコンと、シリコンと金属の化合物であるシリサイドとからなるゲート電極（ポリサイド構造のゲート電極とも呼ばれる）が用いられているが、ゲート電極及びソース・ドレイン領域を同時に低抵抗化できるシリサイドプロセスが注目されている。

【0003】

以下、図 6 を用いて、従来の、シリサイドプロセスによるゲート電極の形成手順の概要を説明する。シリサイドプロセスによりシリサイドを形成する場合、まず、図 6 (A) に示したような、シリコンからなる半導体基板 3 1 上に、素子分離領域 3 2、ゲート酸化膜 3 3、ゲート電極用ポリシリコン 3 4、サイドウォール 3 5 などが形成された構造が、シリサイドを用いなく

きと同じ手順で製造される。

【0004】すなわち、半導体基板31上に熱酸化膜が形成された後、CVDで窒化シリコン( $\text{Si}_3\text{N}_4$ )膜が形成される。次いで、リソグラフィとエッチング技術により、アクティブ領域とする領域のみに窒化シリコンが残るように、窒化シリコン膜の一部が除去される。そして、寄生トランジスタ形成防止のためのイオン注入が行われた後、窒化シリコンをマスクとして、半導体基板31のwet  $\text{O}_2$ 酸化が行われ、素子分離領域32が形成される。その後、窒化シリコン膜並びに酸化膜が除去され、再度の熱酸化により、半導体基板31上にゲート酸化膜33が形成される。

【0005】次いで、しきい値調整用のイオン注入(チャネルイオン注入)が行われた後、ポリシリコン層が形成される。そして、そのポリシリコン層に対して、レジストを用いたパターンニング、RIE(reactive ion etching)装置によるエッチングが施され、ゲート電極となるポリシリコン34が形成される。次いで、CVD等により基板全面に酸化シリコン膜などが堆積される。そして、当該酸化シリコン膜がRIE装置等によりエッチバックされて、サイドウォール35が形成される。なお、サイドウォール35形成の前後にも、半導体基板31内にソース・ドレイン領域37を形成するためのイオン注入が行われる(簡単のため、ソース・ドレイン領域のイオン注入した部分は図示していない)。

【0006】このような手順で、図6(A)に示した構造が形成された後、図6(B)に示したように、当該構造の表面に、例えば、チタン(Ti)36が堆積される。その後、チタン36が堆積された構造が、例えば、窒素雰囲気中で熱処理され、ポリシリコン34とその上のチタン36のシリサイド化反応によりシリサイド( $\text{TiSi}_2$ )38が形成される。この際、ソース・ドレイン領域37のシリコンとその上のチタン36の反応により、ソース・ドレイン領域37上にシリサイド38'も形成される。次いで、シリコンと反応しなかったチタンや、窒素と反応したチタン(TiN)を、ウェットエッチングで除去することによって、シリサイドをその表面に有するゲート電極並びにソース・ドレイン領域を有する構造(図6(C))が製造される。この後、通常のMOSFET製造工程に従い、絶縁膜、コンタクトホール、アルミニウム配線が形成され、MOSFETが完成される。

【0007】このように、このプロセスを用いれば、従来のMOSFETの製造手順を大きく変えることなく、シリコンが存在する部分に自己整合的にシリサイドを形成出来るので、低抵抗のゲート電極を比較的簡単に形成することが出来る。

【0008】ただし、上述した手順によってゲート電極(MOSFET)を製造すると、図6(C)に示してあるように、両端における膜厚が薄いシリサイド38が形成されてしまう。すなわち、ゲート電極の全断面積に占め

るシリサイドの割合が低いゲート電極が形成されてしまう問題があった。

【0009】この問題を解消するために、特開平7-45823号公報に記載の技術では、図7に示したような手順でゲート電極(MOSFET)が製造されている。すなわち、この技術では、図6(A)に相当する構造を形成する際に、ドライエッチングが長く行われ、図7(A)に示したように、ポリシリコン34よりも高さが低いサイドウォール35を有する構造が形成される。次いで、図7(B)に示したように、当該構造上へチタン36を堆積する。その後、熱処理によってシリサイド38、38'を形成する(図7(C))。そして、未反応のチタンを除去することによって、図7(D)に示したように、ポリシリコン34上に均一な膜厚のシリサイド38を形成している。

【0010】

【発明が解決しようとする課題】上記した特開平7-45823号公報に記載の技術によれば、チタンに代表されるシリサイド化金属を、単にポリシリコン上に堆積した場合に比べて、低抵抗なゲート電極を形成することが出来る。しかしながら、当該技術を用いたMOSFETの製造には、オーバーエッチを必要とするため、ゲート電極用のポリシリコンがエッチングによるダメージを被ることになる。また、ソース・ドレイン領域上の酸化膜がエッチされ、その酸化膜下のソース・ドレイン領域がエッチングによるダメージを被ることにもなる。このため、低抵抗のゲート電極が得られても、デバイス全体としての特性が劣化してしまうことも考えられる。

【0011】さらに、チタンシリサイドの抵抗率は、その幅(図7(D)において矢印39で示したゲート電極のチャネル方向の長さ;以下、ゲート長と表記する)が狭くなるほど増大することが知られている。例えば、後藤らの論文(IEICE TRANS. ELECTRON., E77-C, P.480-485 (1994))では、図8に示したような、チタンシリサイドのシート抵抗のゲート長依存性が報告されている。図から明らかなように、ゲート長が $0.5\mu\text{m}$ 以上であるときには、ほぼ同じシート抵抗を有するチタンシリサイドが形成される。しかしながら、ゲート長を $0.5\mu\text{m}$ よりも短くした場合、形成されるチタンシリサイドのシート抵抗は、ゲート長が短くなるに従い増大し、特に、ゲート長が $0.3\mu\text{m}$ 以下の領域では、その増加率が極めて大きくなっている。なお、このような現象は、以下の理由により生じているものと考えられている。

【0012】アニール時には、チタンシリサイド内で、比較的高抵抗なC49相から低抵抗なC54相への相転移が起こり、その結果として低抵抗なチタンシリサイドが形成される。ただし、C49相の粒径が数百nmであるのに対し、C54相の粒径はそれよりも大きく、通常、数 $\mu\text{m}$ になる。このため、ゲート長を短くした場合、アニールによるC49相からC54相への相転移が

抑制されてしまう。さらに、ゲート長が小さくなると、シリサイドの凝集による断線の影響も加わるため、シリサイドのシート抵抗が、ゲート長が短くなるに伴い増加していると考えられている。

【0013】従って、上記技術を用いて、短い（例えば、 $0.2\mu\text{m}$ 程度）のゲート長を有するゲート電極を形成した場合、そのゲート電極は、比較的高い抵抗のシリサイドを含むことになる。すなわち、上記技術によって製造された短ゲート長のMOSFETは、ゲート電極の抵抗値による信号伝搬遅延の影響を受けてしまうことになる。

【0014】そこで、本発明の課題は、短いゲート長を有するデバイスとして機能し、しかも、ゲート電極の抵抗値による信号伝搬遅延の影響が少ないMOSFETを提供することにある。

【0015】また、本発明の他の課題は、そのようなMOSFETを容易に製造できる製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明では、上記課題を解決するために、シリサイド層をその表層に有するゲート電極を備えたMOSFETを構成するに際して、ソース・ドレイン方向の断面の形状が、シリサイド層側のチャンネル方向の長さの方が、半導体基板側のチャンネル方向の長さよりも長い形状のゲート電極を採用する。

【0017】より具体的には、例えば、(イ)シリサイド層をその表層に有するゲート電極であって、シリサイド層側のチャンネル方向の長さの方が、半導体基板側のチャンネル方向の長さよりも長く、かつ、半導体基板側から所定高さまでの部分である下部のチャンネル方向の長さがほぼ一定値であるゲート電極と、(ロ)ゲート電極の下部側面とその側面が接している、高さがほぼ所定高さである第1サイドウォールと、(ハ)ゲート電極の下部とは異なる部分の側面の一部、並びに、第1サイドウォールの側面とその側面が接している第2サイドウォールとを用いて、MOSFETを構成する。

【0018】このような構成を採用すれば、ゲート長とは独立にシリサイドが形成される部分の幅を設定できるので、短いゲート長を有するデバイスとして機能し、しかも、ゲート電極の抵抗値による信号伝搬遅延の影響が少ないMOSFETを実現できることになる。

【0019】また、本発明の第1のMOSFETの製造方法では、シリサイド層をその表層に有するゲート電極を備えたMOSFETを製造する際に、(i)半導体基板上に、ゲート酸化膜とシリコンからなるゲート電極要素とを積層したゲート電極用構造を形成するゲート電極用構造形成工程と、(ii)このゲート電極用構造形成工程で形成されたゲート電極用構造の側面に、第1サイドウォールを形成する第1サイドウォール形成工程と、(iii)この第1サイドウォール形成工程で形成された第1サイ

ドウォールの側面に、第1サイドウォールよりも半導体基板からの高さが高い第2サイドウォールを形成する第2サイドウォール形成工程と、(iv)この第2サイドウォール形成工程で形成された第2サイドウォールで挟まれた部分にシリコンを堆積するシリコン堆積工程と、このシリコン堆積工程で堆積されたシリコンの表層にシリサイドを形成するシリサイド形成工程とを用いる。

【0020】すなわち、本発明の第1のMOSFETの製造方法では、2つのサイドウォールを利用して、ゲート電極となるポリシリコンを二段階に分けて形成することによって、シリサイドが形成される側のチャンネル方向の長さの方が、半導体基板側のチャンネル方向の長さよりも長い形状のポリシリコンを形成する。そして、当該形状を有するポリシリコン上にシリサイドを形成することによって、短いゲート長を有し、しかも、ゲート電極の抵抗値による信号伝搬遅延の影響が少ないゲート電極(MOSFET)を得る。

【0021】また、本発明の第2のMOSFETの製造方法では、シリサイド層をその表層に有するゲート電極を備えたMOSFETを製造する際に、(a)半導体基板上に、ゲート酸化膜とシリコンからなるゲート電極要素と第1材料からなる層である第1材料層とを積層したゲート電極用構造を形成するゲート電極用構造形成工程と、(b)このゲート電極用構造形成工程で形成されたゲート電極用構造の側面に、第1材料からなる第1サイドウォールを形成する第1サイドウォール形成工程と、(c)この第1サイドウォール形成工程で形成された第1サイドウォールの側面に、第1材料とは異なる第2材料からなる第2サイドウォールを形成する第2サイドウォール形成工程と、(d)第1材料に対するエッチング速度の方が第2材料に対するエッチング速度よりも速い条件で、第2サイドウォール形成工程で第2サイドウォールが形成された半導体基板をエッチングすることにより、ゲート電極要素上に設けられた第1材料層並びに第1サイドウォールの一部を除去する除去工程と、(e)この除去工程によって第1材料が除去された部分にシリコンを堆積するシリコン堆積工程と、(f)このシリコン堆積工程で堆積されたシリコンの表層にシリサイドを形成するシリサイド形成工程とを用いる。

【0022】すなわち、本発明の第2のMOSFETの製造方法では、シリコンからなるゲート電極要素上に第1材料層が設けられたゲート電極用構造の側面に第1材料からなる第1サイドウォールを形成し、さらに、第1サイドウォールの側面に第2材料からなる第2サイドウォールを形成する。そして、第1材料に対するエッチング速度の方が第2材料に対するエッチング速度よりも速い条件で、第2サイドウォール等が形成された半導体基板をエッチングすることにより、ゲート電極要素の上部に設けられた第1材料層及び第1サイドウォールの一部を除去する。すなわち、ゲート電極要素の上部に、ゲ

ト電極要素より幅の広い、第2サイドウォールでその幅が決定される空間を生成する。そして、その空間内にシリコンを堆積し、堆積したシリコン上にシリサイドを形成することによって、短いゲート長を有し、しかも、ゲート電極の抵抗値による信号伝搬遅延の影響が少ないゲート電極を形成する。

【0023】なお、第2のMOSFETの製造方法によってMOSFETを製造する際には、第1材料、第2材料として、エッチング速度が異なる組み合わせであれば、どのような材料の組み合わせをも用いることが出来る。例えば、第1材料、第2材料として、それぞれ、PSG、NSGを用いても良く、第1材料、第2材料として、それぞれ、PSG、BSGを用いても良い。なお、これらの材料を用いる場合には、除去工程として、フッ化水素酸を用いてエッチングを行う工程を採用することが出来る。

【0024】また、第2のMOSFETの製造方法を用いる際には、シリコン堆積工程として、シリコンが、シリコン上に選択的に成長する条件でシリコンを堆積する工程を採用しておくことが望ましい。

【0025】

【発明の実施の形態】以下、実施例に基づき、本発明を具体的に説明する。

〈第1実施例〉図1に、第1実施例によるMOSFETの断面構造を示す。図示したように、本実施例のMOSFETは、シリサイド23とポリシリコン24からなる、単結晶シリコン基板11側の幅25が、シリサイド23側の幅27よりも短い形状を持つゲート電極を備える。また、MOSFETは、ゲート電極の下部の幅が狭い部分に接した、当該部分とほぼ同じ高さを有する第1サイドウォール18を備える。さらに、MOSFETは、第1サイドウォール18、並びに、ゲート電極の上部の幅が広い部分の一部に接した第2サイドウォール19を備えている。

【0026】以下、図2及び図3を用いて、本MOSFETの製造手順を説明する。なお、以下では、説明の便宜上、ソース領域、ドレイン領域等の形成、あるいは、ゲート電極の低抵抗化のために行われる不純物ドーピング処理に関する記載は省略することにする。

【0027】本MOSFETを製造する際には、まず、既に図6を用いて説明した手順によって、図2(A)に示したように、単結晶シリコン基板11に、シリコン酸化物( $\text{SiO}_2$ )からなる素子分離領域12と、ゲート酸化膜となるシリコン酸化物層13とを形成する。なお、本実施例では、シリコン酸化物膜13の膜厚を10nmとしている。

【0028】次いで、図2(B)に示すように、素子分離領域12並びにシリコン酸化物膜13上に、ポリシリコン(多結晶シリコン)膜14、PSG(phospho-silicateglass)膜15を形成する。なお、これらの膜の形

成方法は特に限定されないが、本実施例では、CVD(chemical vapor deposition)を用いてポリシリコン膜14とPSG膜15を作製している。また、ポリシリコン膜14、PSG膜15の膜厚は、それぞれ、300nm、150nmとしている。

【0029】そして、PSG膜15をパターニングすることによって、図2(C)に示したように、形成するゲート電極のゲート長と同じ幅25を有するPSG膜16を形成する。なお、本実施例では、幅25を0.2 $\mu\text{m}$ としている。次いで、PSG膜16をエッチングマスクとして用い、ポリシリコン膜14をエッチングすることにより、ゲート電極の構成要素となるポリシリコン17を形成する(図2(D))。

【0030】次に、第1サイドウォールとなるPSG膜を堆積する。このPSG膜をRIE装置を用いてドライエッチングし、図2(E)に示したように、PSG膜16とポリシリコン17の側面に、第1サイドウォール18を形成する。なお、本実施例では、 $\text{SiH}_4$ 、 $\text{PH}_3$ 、酸素を原料ガスとしたCVDによるPSG膜の堆積と、ドライエッチングにより、幅26が0.05 $\mu\text{m}$ の第1サイドウォール18を形成している。

【0031】次いで、図3(F)に示したような、第1サイドウォール18の側面に第2サイドウォール19が形成された構造を得るために、第1サイドウォール18の形成のために行ったのと同じ処理を、NSG(non-doped silicate glass)を用いて行う。すなわち、NSG膜の堆積を、オゾン( $\text{O}_3$ )、TEOS(tetra-ethyl-ortho-silicate、 $\text{Si}(\text{OCH}_2\text{CH}_3)_4$ )を用いたCVDにより行い、堆積したNSG膜をエッチバックすることによって、第2サイドウォール19を形成する。

【0032】この後、1%フッ化水素酸(HF)をエッチング液としたウェットエッチングにより、PSG膜のエッチングを行う。図4に示したように、HFによるPSGのエッチングレートはNSGに比べて速いため、図3(F)に示した構造に対して上記処理を行うと、NSG膜19が僅かにエッチングされるとともに、ポリシリコン17上のPSG膜16、第1サイドウォール18の上部がエッチングされる。その結果、図3(G)に示したような、ポリシリコン17の両側に開口部を有する構造が形成される。また、単結晶シリコン基板11上の露出しているシリコン酸化物膜13もエッチングされるため、単結晶シリコン基板11上には、ゲート酸化膜20として機能するシリコン酸化物膜のみが残る。

【0033】次に、図3(G)に示した構造上にシリコンの選択成長を行う。その結果、図3(H)に示したように、シリコンが露出していた領域上に、シリコン膜21が形成される。なお、単結晶シリコン基板11上には単結晶シリコンが成長し、ポリシリコン17上にはポリシリコンが成長する。

【0034】その後、シリコン膜21を形成した構造上



に、図 3 (I) に示したように、スパッタリングによりチタン (Ti) 膜 22 を作製する。そして、1 回目の短時間アニール (Rapid Thermal Anneal) を窒素中、600~700℃で30秒行う。この短時間アニールにより、単結晶シリコン基板 11 及びゲート電極表面のシリコン 21 と、チタン膜 22 とが反応し、チタンシリサイドが形成される。次いで、短時間アニールにより生成された窒化チタン及び未反応チタンをアンモニア過水 (水 3、アンモニア 1、過酸化水素 1 の割合の混合物) を用いて除去した後、2 回目の短時間アニールを窒素中、750~850℃で10秒行うことによって、図 3 (J) に示したように、ゲート電極、並びに、ソース・ドレイン領域上に、シリサイド膜 23、23' を備える構造を形成する。

【0035】さて、前述したように、幅がおよそ 0.3  $\mu\text{m}$  よりも狭いシリサイドを形成した場合、その抵抗は著しく高くなってしまふ。しかしながら、図 3 (J) に示した構造に含まれる、ポリシリコン 17、21 からなるゲート電極用のポリシリコンは、ゲート長 25 自体は、0.3  $\mu\text{m}$  よりも小さい 0.2  $\mu\text{m}$  であるにも拘わらず、シリサイド 23 側の幅 27 が、比較的低抵抗なシリサイドが形成可能な、ほぼ 0.3 (= 0.2 + 0.05  $\times$  2)  $\mu\text{m}$  となっている (本実施例では、前述したように、第 1 サイドウォールの幅を 0.05  $\mu\text{m}$  としている)。このため、当該構造に対して、チタンの堆積とアニールを行うことによって形成される構造 (図 3 (J)) は、比較的低抵抗なシリサイド 23 を含むゲート電極を有することになる。

【0036】換言すれば、上述した手順によれば、例えば、0.2  $\mu\text{m}$  程度のゲート長を有し、かつ、低い (信号伝搬遅延の影響が少ない) 抵抗値を持つゲート電極を備える、従来の MOSFET 構造では実現不可能であった MOSFET を容易に得ることが出来ることになる。なお、本製造手順は、ドライエッチングによる長時間のオーバエッチを必要としないプロセスとなっているので、本製造手順を用いた場合、ソース・ドレイン領域がダメージを受けることもない。また、ドライエッチングを行う際に、ゲートポリシリコン上には PSG 膜が形成されているので、ゲート電極は全くダメージを受けない。

【0037】〈第 2 実施例〉第 2 実施例では、第 2 サイドウォールの形成に、第 1 実施例とは異なる材料を用いて MOSFET が製造される。以下、図 5 を用いて、第 2 実施例の MOSFET の構造、製造手順を説明する。なお、第 1 サイドウォールを形成するまでの手順は、第 1 実施例のそれと同じであるので、説明は省略することにする。

【0038】第 1 サイドウォールの形成後 (図 2 (E) 参照)、本実施例では、第 2 サイドウォール 19 を BSG (boro-silicate glass) を用いて形成する (図 5

(F))。そして、第 2 サイドウォール 19 の形成後、第 1 実施例と同様に、1%フッ化水素酸 (HF) によるエッチングを行う。図 4 に示してあるように、HF に対する PSG のエッチングレートは、BSG のそれよりも高いので、この処理により、やはり、ポリシリコン 17 上の PSG 膜 16、サイドウォール 18 の上部等が選択的にエッチングされ、図 6 (G) に示した構造が形成される。

【0039】従って、図 6 (H) ~ (I) に示したように、この後、第 1 実施例と同様に、シリコン 21 の選択成長、チタン膜 22 の堆積、アニールによるシリサイド化を行うことによって、ほぼ 0.2  $\mu\text{m}$  のゲート長を有し、かつ、低い抵抗値を持つゲート電極を備える MOSFET が形成される。

【0040】〈変形例〉上記した各実施例に示した製造手順は、各種の変形が可能である。例えば、第 1 サイドウォール、第 2 サイドウォールを形成するのに使用できる材料の組み合わせは、PSG と NSG、PSG と BSG に限られるものではなく、第 1 サイドウォールが選択的にエッチングされるような材料の組み合わせであれば、どのような組み合わせを用いることも出来る。例えば、第 1 サイドウォールを、BPSG (boro-phosphosilicate glass) から形成し、第 2 サイドウォールを、NSG あるいは BSG (boro-silicate glass) から形成しても良い。なお、この場合も、エッチング液としてフッ化水素酸を使用することが出来る。また、ポリシリコン 17 上に形成しておく膜の材料を、第 1 サイドウォールの材料とは異なるものとすることも出来る。

【0041】さらに、第 1 サイドウォールの形成に酸化物、第 2 サイドウォールの形成に窒化物を用い、酸化物が選択的にエッチングされるような条件でエッチングを行うことによって、図 3 (F) に示したような構造を形成してもよい。

【0042】また、製造工程は複雑となるが、第 2 サイドウォールの形成を、レジストパターンを用いて行うことも出来る。そして、各実施例では、チタンシリサイドを有するゲート電極を形成しているが、チタンに限らず、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、白金 (Pt)、コバルト (Co)、ニッケル (Ni) などの他の金属のシリサイドを有するゲート電極を形成するために本技術を適用しても良いことは当然である。さらに、MOSFET の製造に形成される各膜の膜厚や形成方法が、上記したものに限られないことも当然である。

【0043】

【発明の効果】本発明の MOSFET は、シリサイド層側のチャネル方向の長さの方が、半導体基板側のチャネル方向の長さよりも長い形状のゲート電極を有するので、短いゲート長を有し、しかも、ゲート電極の抵抗値による信号電波遅延の影響が少ないデバイスとして機能

11

する。また、本発明のMOSFETの製造方法によれば、上記のようなMOSFETが容易に製造できる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるMOSFETの構造を示す断面図である。

【図2】本発明の第1実施例によるMOSFETの製造手順を示す工程図である。

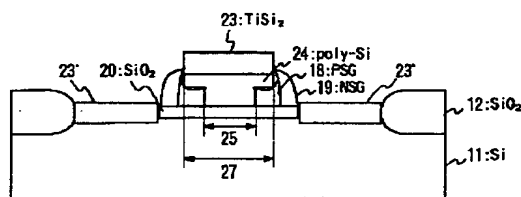
【図3】本発明の第1実施例によるMOSFETの製造手順を示す工程図である。

【図4】各種シリケートガラスの、5%HFによるエッチレートを示した図である。

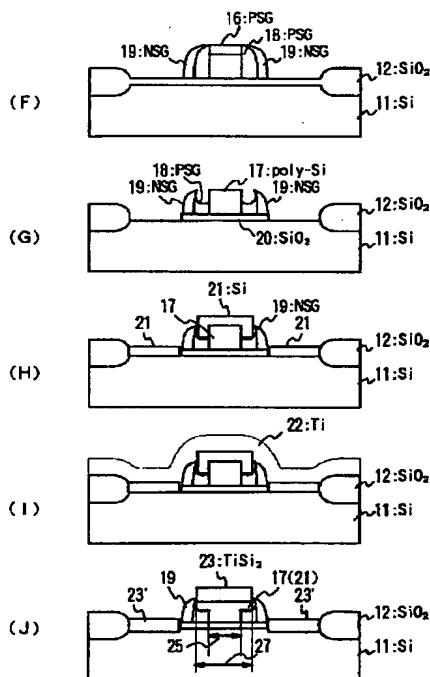
【図5】本発明の第2実施例によるMOSFETの製造手順を示す工程図である。

【図6】従来の、ポリシリサイド構造のゲート電極を有するMOSFETの構造を示す断面図である。

【図1】



【図3】



12

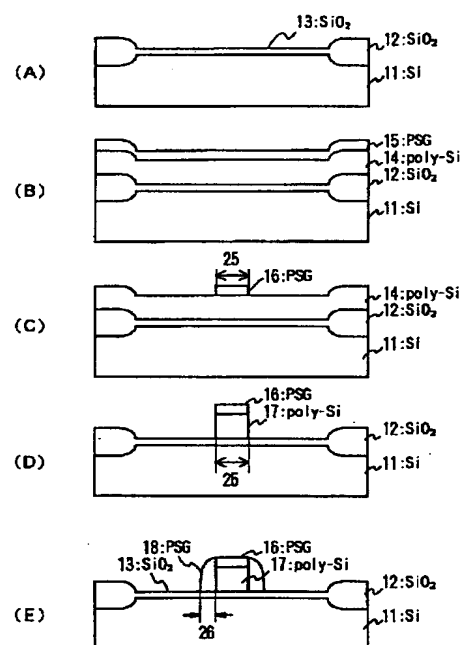
【図7】特開平7-45823号公報記載のMOSFETの製造手順を示す工程図である。

【図8】ゲート電極のゲート長とチタンシリサイドの面抵抗との関係を示した図である。

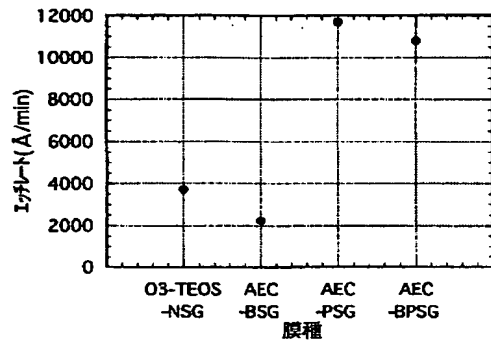
【符号の説明】

- 11 単結晶シリコン基板
- 12 素子分離領域
- 13 シリコン酸化物膜
- 14、17、24 ポリシリコン
- 18 第1サイドウォール
- 19 第2サイドウォール
- 20 ゲート酸化膜
- 22 チタン
- 23、23' シリサイド

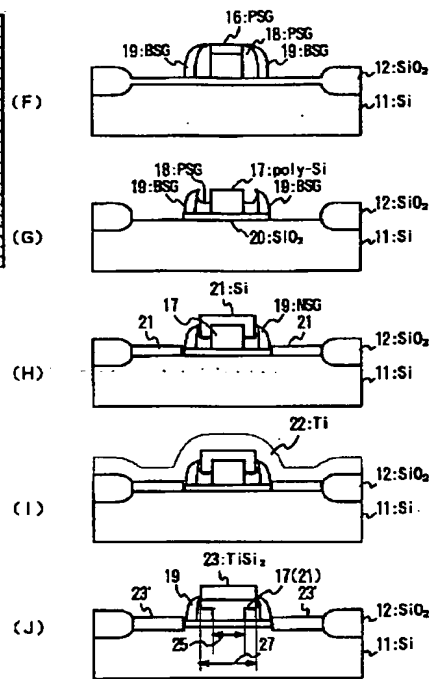
【図2】



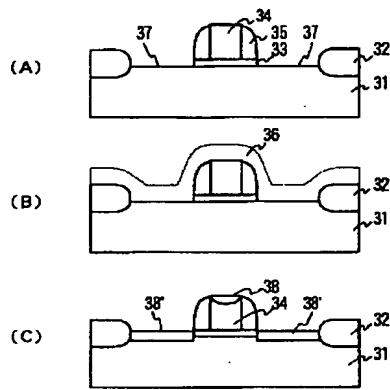
【図4】



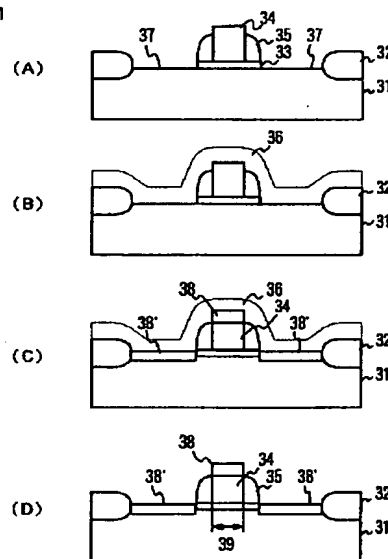
【図5】



【図6】



【図7】



【図8】

